

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## **IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

DIALOG(R)File 351:Derwent WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.

011565534    \*\*Image available\*\*

WPI Acc No: 1997-542015/199750

XRPX Acc No: N97-451348

**Surface conduction electron-emitting element for flat display panel - has electron-emitting film, which emits electrons, formed on wall surface of vertical holes made in upper electrode and insulating layer**

Patent Assignee: DAINIPPON PRINTING CO LTD (NIPQ )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9259742	A	19971003	JP 9688970	A	19960319	199750 B

Priority Applications (No Type Date): JP 9688970 A 19960319

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 9259742	A		15	H01J-001/30	

Abstract (Basic): JP 9259742 A

The element (50) includes upper and lower electrodes (54,52) separated by an insulating layer (53). Several vertical holes are made in the upper electrode and the insulating layer.

An electron-emitting film (55) which emits electrons from the wall surface of the vertical holes is formed.

USE/ADVANTAGE - Makes element suitable as wiring for matrix drive. Simplifies manufacturing since alignment of vertical holes is made easier and has simple structure especially when large number of elements are used on same substrate.

Dwg.3/21

Title Terms: SURFACE; CONDUCTING; ELEMENT; FLAT; DISPLAY; PANEL; FILM; EMIT  
; ELECTRON; FORMING; WALL; SURFACE; VERTICAL; HOLE; MADE; UPPER;  
ELECTRODE; INSULATE; LAYER

Derwent Class: V05

International Patent Class (Main): H01J-001/30

International Patent Class (Additional): H01J-009/02

File Segment: EPI

Manual Codes (EPI/S-X): V05-L01A3

**THIS PAGE BLANK (USPTO)**

特開平9-259742

(43)公開日 平成9年(1997)10月3日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 1/30			H 0 1 J 1/30	B
9/02			9/02	B

審査請求 未請求 請求項の数7 F D (全 15 頁)

(21)出願番号 特願平8-88970

(22)出願日 平成8年(1996)3月19日

(71)出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72)発明者 細谷 守男

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

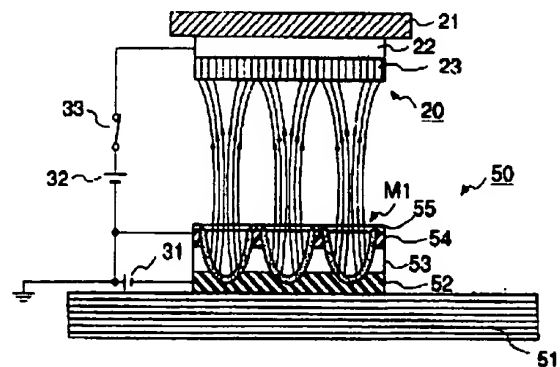
(74)代理人 弁理士 小西 淳美

(54)【発明の名称】 電子放出素子およびその製造方法

(57)【要約】

【課題】 フラットパネルディスプレイへの利用に適するように、特性を改善した電子放出素子とその製造方法を提供する。

【解決手段】 基板上に列方向に伸びた下部電極と絶縁層を介して行方向に伸びた上部電極を形成し、当該下部電極と上部電極の交差部に、上部電極と絶縁層を貫通して下部電極にいたる複数の微小縦穴を形成し、当該微小縦穴の壁面に通電により電子放出を行う機能をもった電子放出膜を形成することにより、対向基板に対する電子の飛翔軌跡が横流れせず、かつ、電極交差部における電子放出素子形成位置のアライメントが容易な電子放出素子が得られる。



## 【特許請求の範囲】

【請求項1】 複数の下部電極と複数の上部電極とが絶縁層を介して三層構造体を形成する基板上の下部電極と上部電極の交差部分の各交差部に、上面から少なくとも前記下部電極に至る深さをもった縦穴を複数形成し、この複数の縦穴のそれぞれの壁面部に、通電により電子放出を行う機能をもった電子放出膜を形成したことを特徴とする電子放出素子。

【請求項2】 請求項1に記載の電子放出素子において、三層構造体を貫通し基板に至る深さをもった縦穴を形成したことを特徴とする電子放出素子。

【請求項3】 請求項1または2に記載の電子放出素子において、深い部分ほど開口面積が小さくなるような深部閉塞性の縦穴を形成したことを特徴とする電子放出素子。

【請求項4】 列方向に伸びた下部電極を行方向に複数配置するとともに、行方向に伸びた上部電極を列方向に複数配置し、下部電極と上部電極との交差部分において両電極間に絶縁層を挟んで三層構造体が形成されるようにし、各交差部における三層構造体に複数の縦穴および電子放出膜を形成したことを特徴とする電子放出素子。

【請求項5】 請求項4に記載の電子放出素子において、上部電極を絶縁層を介して基板上に形成するようにし、上部電極の形成領域のうち、下部電極との交差部分には三層構造体が形成され、それ以外の部分には上部電極と絶縁層とからなる二層構造体が形成されるようにしたことを特徴とする電子放出素子。

【請求項6】 請求項1～5のいずれかに記載の電子放出素子を製造する方法であって、絶縁性の基板上に第1の準備層を形成し、この第1の準備層をパターンニングして下部電極を形成する段階と、前記基板および前記下部電極上に絶縁性の中間層を形成し、この中間層の上に第2の準備層を形成する段階と、前記第2の準備層をパターンニングして上部電極を形成する段階と、前記中間層をパターンニングして絶縁層を形成する段階と、

前記下部電極、前記絶縁層、前記上部電極からなる三層構造体の上面から、少なくとも前記下部電極に至る深さをもった複数の縦穴をそれぞれの三層構造体に形成する段階と、前記複数の縦穴の壁面部に、通電により電子放出を行う機能をもった電子放出膜をそれぞれ形成する段階と、を有することを特徴とする電子放出素子の製造方法。

【請求項7】 請求項1～5のいずれかに記載の電子放出素子を製造する方法であって、縦穴の形成を、サンドブラスト法による切削工程により行うことを特徴とする電子放出素子の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子放出素子に関する、特に、表面伝導型の電子放出素子に関する。

【0002】

【従来の技術】フラットパネルディスプレイの一種として、FED (Field Emission Display) が精力的に研究されている。このFEDは、カソード基板とアノード基板とを対向させ、カソード基板上に多数の電子放出素子を配置し、この電子放出素子からアノード基板に向けて電子を放出させ、アノード基板上の蛍光体層を発光させるものである。カソード基板上に形成される電子放出素子は、個々の画素に対応することになる。これまで利用されている電子放出素子は、電子放出に適した尖鋭な突起構造を有するものが一般的であり、たとえば、先端部が尖った円錐状の金属からなる電子放出素子が広く利用されている。

【0003】これに対して、近年、表面伝導型の電子放出素子が注目を浴びている。これは、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生じる現象を利用した電子放出素子である。このような電子放出現象は、1965年に「ラジオエンジニアリングエレクトロフィジックス (Radio Eng. Electron. Phys.) 第10巻、1290～1296頁」に、エム・アイ・エリンソン (M.I. Elinson) らによって報告されて以来、今日に至るまで種々の報告がなされている。具体的には、エリンソンらによって開発されたSnO<sub>2</sub> (Sb) 薄膜をはじめ、Au薄膜、ITO薄膜、カーボン薄膜などで、この表面伝導型の電子放出現象が報告されている。

【0004】また、最近では、特公平6-101297号公報に、微粒子を分散した面を挟持した絶縁層を用いて、この表面伝導型の電子放出素子を構成する技術が開示されており、特公平6-87392号公報には、微粒子を含む薄膜導電体膜に通電加熱を施すことにより、表面伝導型の電子放出機能をもった電子放出素子を製造する方法が開示されている。

【0005】

【発明が解決しようとする課題】上述したように、表面伝導型の電子放出素子は、FEDなどのフラットパネルディスプレイへの利用が期待されている素子であり、このようなディスプレイへ応用する場合、基板上に多数の素子を行列状に配置し、各素子からの電子放出をそれぞれ独立して制御できるようにする必要がある。このように多数の電子放出素子を行列状に配置して駆動する場合に解決しなければならない第1の課題は、個々の素子の特性を均一化するということである。すなわち、従来の表面伝導型の電子放出素子では、基板上に小面積の電子放出膜が形成され、この電子放出膜の両側に電流供給用の電極が形成される。そして、この一対の電極間に存在する電子放出膜の膜面に電流が流れ、電子放出が起こることになる。したがって、両電極間の距離が各素子ごと

にばらついていると、個々の素子ごとの特性が不均一になる。別言すれば、同じ電圧を印加しても、放出される電子の量が個々の素子ごとに異なることになる。このように、1枚のフラットパネルディスプレイを構成する電子放出素子の特性が不均一であると、画面の表示状態にムラが生じ、もはや高品位のディスプレイは実現できなくなる。このため、個々の電子放出素子を構成する電極間隔には高い精度が要求される。しかしながら、このような高い位置精度を確保するためには、高度な位置合わせ技術が要求され、製造コストも高騰せざるを得ない。

【0006】ディスプレイへ応用するための第2の課題は、駆動に必要な配線をできるだけ単純化するということである。上述のように、行列状に配置された多数の電子放出素子をそれぞれ独立して制御するためには、基板上に縦横に巡った配線を施し、これら配線に対する電圧を制御することにより、個々の素子からの電子放出を制御できるようにしなければならない。ところが、従来の電子放出素子に対してこのような配線を施すためには、基板上にかなり複雑な立体配線層を形成する必要がある、製造プロセスはかなり複雑にならざるを得ない。このため、やはり製造コストの高騰を招くことになる。

【0007】以上の問題を解決するために、本発明出願人になる先の出願、特願平7-310035号では、絶縁層を介して上下に積層された電極間に「すり鉢状」の穴を設けて電子放出素子を形成することが提案されている。しかし、当該出願にかかる「すり鉢状」の電子放出素子は、下部電極と上部電極の各交差部に各々1個ずつ穴を設けることを前提としている。従って、当該電極の交差部と「すり鉢状」のアライメントには高度の位置精度が要求され、位置ずれが生じる場合には、電子放出素子が機能しなくなったり、機能が低下する現象を示すことになる。一般に、シリコンウェハーサイズ上での位置合わせは、サブミクロン単位の精度でも可能であるが、電子放出素子がフラットディスプレイパネルに使用される場合は、ウェハーの数倍以上の大きさになることが想定され、このパネルの全域にわたって正確なアライメント精度を保つには、相当の技術的困難性を伴う。そこで本発明は、同一基板上に多数を配列して用いるような場合にも、できるだけ全体構造を単純化し、製造プロセスを簡単にすることができる電子放出素子を提供することを目的とする。

【0008】

【課題を解決するための手段】

(1) 本発明の第1の態様は、複数の下部電極と複数の上部電極とが絶縁層を介して三層構造体を形成する基板上の下部電極と上部電極の交差部分の各交差部に、上面から少なくとも前記下部電極に至る深さをもった縦穴を複数形成し、この複数の縦穴のそれぞれの壁面部に、通電により電子放出を行う機能をもった電子放出膜を形成したことを特徴とする電子放出素子、にある。

【0009】(2) 本発明の第2の態様は、上述の第1の態様に係る電子放出素子において、三層構造体を貫通し基板に至る深さをもった縦穴を形成したことを特徴とする電子放出素子、にある。

【0010】(3) 本発明の第3の態様は、上述の第1または第2の態様に係る電子放出素子において、深い部分ほど開口面積が小さくなるような深部閉塞性の縦穴を形成したことを特徴とする電子放出素子、にある。

【0011】(4) 本発明の第4の態様は、列方向に伸びた下部電極を行方向に複数配置するとともに、行方向に伸びた上部電極を列方向に複数配置し、下部電極と上部電極との交差部分において両電極間に絶縁層を挟んで三層構造体が形成されるようにし、各交差部における三層構造体に複数の縦穴および電子放出膜を形成したことを特徴とする電子放出素子、にある。

【0012】(5) 本発明の第5の態様は、上述の第4の態様に係る電子放出素子において、上部電極を絶縁層を介して基板上に形成するようにし、上部電極の形成領域のうち、下部電極との交差部分には三層構造体が形成され、それ以外の部分には上部電極と絶縁層とからなる二層構造体が形成されるようにしたことを特徴とする電子放出素子、にある。

【0013】(6) 本発明の製造方法の第1の態様は、上述の第1～第5の態様に係る電子放出素子を製造する方法において、絶縁性の基板上に第1の準備層を形成し、この第1の準備層をパターニングして下部電極を形成する段階と、前記基板および前記下部電極上に絶縁性の中間層を形成し、この中間層の上に第2の準備層を形成する段階と、前記第2の準備層をパターニングして上部電極層を形成する段階と、前記中間層をパターニングして絶縁層を形成する段階と、前記下部電極、前記絶縁層、前記上部電極からなる三層構造体の上面から、少なくとも前記下部電極に至る深さをもった複数の縦穴をそれぞれの三層構造体に形成する段階と、前記複数の縦穴の壁面部に、通電により電子放出を行う機能をもった電子放出膜をそれぞれ形成する段階と、を有することを特徴とする電子放出素子の製造方法、にある。

【0014】(7) 本発明の製造方法の第2の態様は、上述の第1～第5の態様に係る電子放出素子を製造する方法において、縦穴の形成を、サンドブラスト法による切削工程により行うことを特徴とする電子放出素子の製造方法、にある。

【0015】

【発明の実施の形態】以下、本発明を図示する実施形態に基づいて説明する。

【0016】§1. 従来の電子放出素子の構造および動作原理

はじめに、従来の一般的な表面伝導型の電子放出素子の構造および動作原理を説明しておく。図1は、従来の表面伝導型の電子放出素子10および対向基板20の構造

を示す断面図である。この例では、電子放出素子10は、ガラス基板11上に電極12、13を形成し、更にその上に電子放出膜14を形成することにより構成されている。電子放出膜14は、カソード電極として機能することになり、たとえば、 $\text{SnO}_2$ 、 $\text{In}_2\text{O}_3$ 、 $\text{PbO}$ などの金属酸化物、 $\text{Au}$ 、 $\text{Ag}$ などの金属、カーボンその他各種半導体など、表面伝導型の電子放出現象が知られている材料であればどのような材料で構成してもかまわない。一方、対向基板20は、ガラス基板21上に透明電極22および蛍光体層23を形成したものである。透明電極22は、たとえばITOなどの材料で構成され、アノード電極として機能することになる。

【0017】図2は、図1に示す電子放出素子10におけるガラス基板11上に形成された構成要素の上面図である。この図における切断線1-1による断面が図1に示されていることになる。電極12および13が所定間隔を置いて向き合っており、その間に電子放出膜14が形成されている状態が明瞭に示されている。

【0018】いま、図1に示すように、各部に配線を施した場合に生じる現象について考えてみる。この配線によれば、電極13は接地され、電極12には電源31から負の電圧が印加される。また、電子放出素子10と対向基板20との間にも、電源32によってカソード／アノード間電圧が印加されるが、この図1に示す状態では、スイッチ33が開いているため、電圧印加は行われていない。さて、電極12、13によって、電子放出膜14の両側に電圧が印加されると、電子放出膜14の膜表面部分に、図に矢印で示したような電子放出が起こる。これが、表面伝導型の電子放出として知られている現象である。

【0019】図3は、図1に示す電子放出素子10から対向基板に向けて電子放出が行われている状態を示す断面図である。ここで、スイッチ33を閉じてカソード／アノード間電圧を印加すれば、図3に示すように、電子放出膜14の表面に放出された電子は、アノード側の対向基板20へと飛翔することになり、このようなカソードからアノードへと向かう電子の衝突により、蛍光体層23が蛍光を発することになる。ここでは、説明の便宜上、1画素分の構成要素のみを示したが、このような1画素分の構成要素を縦横にマトリックス状に配列すれば、画素を二次元平面上に並べたフラットパネルディスプレイを実現することができる。なお、このようなフラットパネルディスプレイでは、スイッチ33を閉じた状態のままとし、各画素ごとに電源31からの印加電圧を調節して、画素ごとの発光状態を制御するのが一般的である。より具体的には、電子放出膜14に与える印加電圧の値および印加時間を調節することにより、対向基板20への電子の飛翔量を制御することができる。

【0020】さて、このような電子放出素子10を利用したフラットパネルディスプレイを製作する上での技術

的課題は、既に述べたように、個々の素子の特性均一化と駆動用配線の単純化とである。素子ごとの特性のばらつきは、主として寸法精度に依存する。図4は、図1に示す電子放出素子10の主要部の寸法を示した図である。一般的なフラットパネルディスプレイの場合、ここに示す各部の寸法は、たとえば、 $D1=15\mu\text{m}$ 、 $D2=80\mu\text{m}$ 、 $D3=0.2\mu\text{m}$ 、 $D4=0.5\mu\text{m}$ といった程度の値になる（もちろん、これらの数値は一例として示したものであり、具体的な数値は個々のディスプレイによってそれぞれ異なる）。これらの寸法のうち、特に素子特性に影響を与える寸法は電極12、13間の間隔D1である。この間隔D1は、電子放出膜14に加わる電界強度を支配するものであり、間隔D1が変わると、電子の放出量も変わってくることになる。そこで、表示特性が全面にわたって均一なディスプレイを実現するためには、ガラス基板11上に配列された個々の電子放出素子についての寸法D1を均一にする必要がある。このため、実際の製造プロセスにおいては、たとえば、 $D1=15\mu\text{m}\pm 2\mu\text{m}$ といった所定の寸法精度が要求されることになり、高精度なバターンニングプロセスが必要になる。これは製造コストを高騰させる要因となり、実用化への大きな障害になる。特に、今後は、低電力駆動型のディスプレイの要望が益々高まってゆく傾向にあり、間隔D1の絶対値は益々小さく設定せざるを得なくなり、より高い寸法精度が要求されるようになると予想される。

【0021】また、駆動用配線の単純化という課題も、従来構造の電子放出素子では、解決することが困難な課題である。図1および図3では、1画素分の電子放出素子についての配線を示したが、ディスプレイに利用する場合には、ガラス基板11上に縦横に配列された多数の電子放出素子のそれぞれに対して独立した配線を施し、各電子放出素子ごとに、電子放出膜14への印加電圧を独立して制御できるようにしなければならない。ガラス基板11にこのような配線を施すには、数多くのバターンニングプロセスが必要となり、製造工程は複雑化せざるを得ない。これも製造コストを高騰させる要因のひとつであり、実用化への障害となる。

【0022】従来の構造では、電子放出膜14はガラス基板11に平行な膜として形成されている。これは「基板上に薄膜を形成する」という要望に応えるためのごく一般的な方法である。これに対し、本発明出願人になる先の出願、特願平7-310035号では、絶縁層を介して上下に積層された電極間に「すり鉢状」の穴を設けて電子放出素子を形成することが提案されているが、これには前記のとおり、アライメントに高度の精度が要求されるという問題がある。

【0023】そこで、本発明者は、アライメントの問題を生じない電子放出素子について鋭意研究の結果、下部電極と上部電極の交差部に形成された三層構造体の各交



差部に、一個ならず複数の縦穴を掘り、この縦穴の壁面に電子放出膜を形成することを着想するに至った。こうして、各電極交差部に「すり鉢状」の穴を形成する際に交差部の面積よりも広い面積にわたって穴パターンの形成されたマスクパターンを使用してレジストパターンを形成すれば、マスクパターンの位置合わせ精度に多少の誤差があっても電極交差部に必要な穴の数は確保されることになる。各交差部に形成する穴の数は、2〜3個に限らず10個以上の多数とすることが各交差部毎のばらつきを小さくし安定化する上では効果的となる。すなわち、各交差部に1個の穴を形成する場合には、交差部に形成される穴の位置が交差部の中心から偏位するに従い、電子放出素子の機能が低下し、極端な場合は電極上からはすれて電子放出素子として機能しなくなってしまうことがあるが、微小な穴であれば、いずれかが機能し、各交差部毎の電子放出量の絶対量は大きく変動しないという利点がある。これは、穴が均一であれば、穴の数が多し程、ばらつきは少なくなると考えられるが、一方、穴が小さければ、電子放出機能が低下するという背反した事情があるので、形成する穴の数は、交差部の面積と電子放出機能を勘案して決定する必要がある。

【0024】図5は、「すり鉢状」の電子放出素子50および対向基板20の構造を示す断面図である。図6は、図5に示す電子放出素子50から対向基板20に向けて電子放出が行われている状態を示す断面図である。本発明出願人になる、先の出願（特願平7-310035号）では、図5、図6に示す構造により電子放出素子が構成されている。「すり鉢状」の穴は、絶縁層53を介して配置される上下の電極54、52を貫通するか下部電極52上の深さに届くように形成され、その「すり鉢状」の穴の内部表面に電子放出膜が形成されている。下部電極付近から放出された電子は、正に荷電された電極に向けて、図5のように放出されるが、図5の場合はスイッチ33が開いているので、対向基板20へ向けての電子放出はされない。スイッチ33が閉じられると図6のように、アノードに向けて電子が飛翔することになる。このような電子放出素子は、図1、図3に示す従来構造の表面型電子放出素子に較べて、対向基板20に向かう電子の飛翔軌跡が横に流れないという利点があるが、前記のようにアライメント精度上の問題が生じる。

#### 【0025】§2. 本発明の電子放出素子の構造および動作原理

図7は、本発明の一実施形態に係る電子放出素子50の構造を示す斜視図である。いま、基板上に、図7(a)斜視図に示すような三層構造体を用意する（図7では、基板は図示省略）。この三層構造体は、下部電極52と上部電極54との間に絶縁層53を挟んでなる構造体であり、いわゆる「サンドイッチ構造」をしている。このような三層構造体を用意し、その上面から下部電極層52に至る深さをもった微小縦穴C1を複数形成し（図7

(b)では、便宜上、9個の微小縦穴が形成されている形態が図示されているが、実際にはもっと多数であることが好ましい。）、この縦穴の壁面部に、通電により電子放出を行う機能をもった電子放出膜55をそれぞれ形成すると、図7(b)の斜視図に示すような構造体が得られる。

【0026】図8は、本発明の一実施形態に係る電子放出素子50の構造を示す断面図である。これは、図7(b)における1-1線の断面図を示すものとなる。縦穴C1の構造および電子放出膜55の形成状態は、図8の断面図に明瞭に示されている。図8(a)は、三層構造体に縦穴C1を形成した状態を示し、図8(b)は、この縦穴C1の壁面に電子放出膜55を形成した状態を示す。電子放出膜が形成された微小縦穴は微小電子放出素子M1として機能する。この図8に示された縦穴C1は、深い部分ほど開口面積が小さくなるような深部閉塞性の縦穴であり、いわゆる「すり鉢状」の縦穴になっている。本発明における縦穴は、少なくとも下部電極52に至る深さをもっていればよいので、下部電極下のガラス基板を穿孔するまでの深さは必要としない。むしろ、下部電極と十分な接触をたもつために下部電極上の表面で縦穴の深さが止まっていることが好ましい。

【0027】なお、図7に示す斜視図では、図8に示す断面図と同様のハッチングを施してあるが、このハッチングは断面を示すためのものではなく、個々の構成要素を容易に識別できるようにするためのものである。本願図面では、このように、斜視図においても、各構成要素に必要に応じてハッチングを施して示すことにする。

【0028】図9は、本発明の一実施形態に係る電子放出素子50および対向基板20の構造を示す断面図である。図10は、本発明の一実施形態に係る電子放出素子50から対向基板20に向けて電子放出が行われている状態を示す断面図である。いま、このような構造をもった電子放出素子50について、図9に示すように、各部に配線を施した場合に生じる現象について考えてみる。この配線によれば、上部電極層54は接地され、下部電極層52には電源31から負の電圧が印加される。また、電子放出素子50と対向基板20の間にも、電源32によってカソード／アノード間電圧が印加されているが、この図9に示す状態では、スイッチ33が開いているため、電圧印加は行われていない。さて、下部電極52および上部電極54によって、電子放出膜55の底部／上縁部間に電圧が印加されると、電子放出膜55の膜表面部分に、図に矢印で示したような電子放出が起こる。すなわち、表面伝導型の電子放出現象が起こることになる。

【0029】ここで、スイッチ33を閉じてカソード／アノード間電圧を印加すれば、図10に示すように、電子放出膜55の表面に放出された電子は、アノード側の対向基板20へと飛翔することになり、このようなカソ

ードからアノードへと向かう電子の衝突により、蛍光体層23が蛍光を発することになる。ここでも説明の便宜上、1画素分の構成要素のみを示したが、このような1画素分の構成要素を縦横にマトリックス状に配列すれば、画素を二次元平面上に並べたフラットパネルディスプレイを実現することができる。実際には、従来の電子放出素子を用いたフラットパネルディスプレイと同様に、スイッチ33を閉じた状態のままで、各画素ごとに電源31からの印加電圧を調節して、画素ごとの発光状態を制御することができる。

【0030】図11は、本発明の一実施形態に係る電子放出素子50の主要部分の寸法を示した図である。ここで、絶縁層53の厚みD1としては、実用上、 $D1 = 0.01\mu\text{m} \sim 1\text{mm}$ 程度、より好ましくは、 $1\mu\text{m} \sim 30\mu\text{m}$ 程度に設定するのがよい。また、下部電極層52および上部電極層54の厚みD2、D3としては、実用上、 $D2, D3 = 0.1\mu\text{m} \sim 1\text{mm}$ 程度、より好ましくは、 $1\mu\text{m} \sim 50\mu\text{m}$ 程度に設定するのがよい。微小電子放出素子M1の上縁部における直径D4は、一列に配列された複数の縦穴が、三層構造体の幅D5に収まる範囲内であればどのような値でもよいが、あまり小さいと有効な電子放出が得られない。三層構造体の幅D5は、電子放出の動作を考慮する上では任意でかまわないが、この三層構造体自体は容量素子として作用するので、素子自体の寄生容量値を低く抑えて応答速度を向上させるためにはできるだけ小さくするのが好ましく、実用上はパネルのサイズにもよるが、 $D5 = 10\mu\text{m} \sim 500\mu\text{m}$ 程度にするのが好ましい。これに応じて、微小電子放出素子M1の上縁部における直径D4も、 $D4 = 5\mu\text{m} \sim 100\mu\text{m}$ 程度に設定するのが好ましい。

【0031】また、電子放出膜55の厚みD6としては、表面伝導型の電子放出現象が生じる厚みにする必要があり、効率的な電子放出を行わせるためには、できるだけ薄い方が望ましい。実用上は、 $D6 = 0.01\mu\text{m} \sim 1\mu\text{m}$ 程度に設定するのが好ましい。なお、上述した各部の最適寸法は、「すり鉢状」の微小電子放出素子M1の曲率に大きく左右されるものであり、実際には、絶縁層53の上面位置から下面位置に至る微小電子放出素子M1の表面に沿った経路の距離D7が、電子放出に適した値になるように、各部の寸法を設定するのが好ましい。この距離D7は、後述するように、図3に示す従来の電子放出素子における電極12、13の間に相当する距離であり、表面伝導型の電子放出現象を起こす上で重要なパラメータになる。

【0032】さて、この図11に示す本発明の構造を、図4に示す従来の構造と比較すると、従来の構造における電極12、13間の距離である寸法D1は、本発明における微小電子放出素子M1に沿って測定した絶縁層53の厚み寸法D7に対応することがわかる。ここで、図4における寸法D1も、図11における寸法D7も、い

ずれも電子放出膜に電界を与えるための一对の電極間寸法に対応するものであり、この電極間寸法によって、電子放出膜に与えられる電界強度が決定されることになる。そして、表示特性が全面にわたって均一なディスプレイを実現するためには、ガラス基板上に配列された個々の電子放出素子についての電極間寸法を均一にする必要があるということは、既に述べたとおりである。

【0033】ここで、電極間寸法の精度に着目すると、図4に示す従来の構造においては、基板面に平行な平面方向の精度であるのに対し、図11に示す本発明の構造においては、基板面に垂直な厚み方向の精度であることがわかる。すなわち、図4に示す従来の構造を「横型構造」と呼び、図11に示す本発明の構造を「縦型構造」と呼ぶことにすれば、「横型構造」の場合、電極間寸法D1の精度を平面方向の精度として確保する必要があるのに対し、「縦型構造」の場合、電極間寸法D7の精度を絶縁層53の厚み方向の精度として確保すればよいということになる（もっとも、微小電子放出素子M1の曲率の精度を確保することも必要である）。

【0034】一般に、半導体プレーナプロセスなど、基板上に層形成を行う製造プロセスでは、平面方向の寸法精度を確保するよりも、厚み方向の寸法精度を確保する方が容易である。別言すれば、図4に示すように、正確な所定間隔D1をもった電極12、13を形成する工程と、図11に示すように、正確な所定厚みD1をもった絶縁層53を形成する工程とを比較すると、寸法値D1が同じ場合、前者よりも後者の方が工程は容易になる。特に、近年では、基板上の成膜技術は非常に進歩しており、厚みに関しては、かなりの精度で制御することが可能である。したがって、本発明の構造をもった電子放出素子は、従来の電子放出素子に比べて、製造プロセスが容易になり、製造コストを低減させるというメリットが得られる。

【0035】§3. ディスプレイへ応用する実施形態  
これまで、単一の電子放出素子（実際には複数の微小電子放出素子Mの群であるが）についての構造を述べてきたが、本発明の電子放出素子は、フラットパネルディスプレイへの応用に特に適している。この場合、基板上に多数の電子放出素子を縦横に配置して用いることになる。以下、このような実施形態について述べることにする。

【0036】図13は、本発明の一実施形態に係る電子放出素子200をマトリックス基板上に構成した実施例を示す斜視図である。ガラス基板100上には、4つの電子放出素子200が構成された状態が示されている。もっとも、本発明の電子放出素子は微小電子放出素子Mの群からなる（図13の場合は9個の微小電子放出素子Mが図示されている。）ので、一つの電子放出素子といっても実際には複数の微小電子放出素子の群であるが、本発明では便宜上、1の電極交差部に形成される微小電

子放出素子群を一つまたは単一の電子放出素子と呼ぶことにする。本発明の電子放出素子をディスプレイへ応用する場合、1つの電子放出素子が1画素分の表示動作を行うことになるので、この図13に示す例では、2×2の合計4画素分の表示が可能になる。もちろん、実際のディスプレイでは、より多数の電子放出素子が配列されることになる。なお、図13の斜視図において、各構成要素に施されているハッチングは、前述したように、断面を示すためのものではなく、個々の構成要素を容易に識別できるようにするためのものである。この図13に示す電子放出素子の構造は次のとおりである。

【0037】まず、ガラス基板100上に、列方向に伸びた下部電極110を行方向に複数（この例では2本）配置する。一方、行方向に伸びた上部電極130を列方向に複数（この例では2本）配置する。このとき、上部電極130は絶縁層120を介してガラス基板100上に形成するようにする。すなわち、絶縁層120は上部電極130に対して、いわば「橋げた」の役割を果たすことになり、下部電極110との交差部分においては、この「橋げた」として機能する絶縁層120の存在により、上部電極130が下部電極110を跨ぐ形になる。このような構造では、結局、上部電極130の形成領域のうち、下部電極110との交差部分には、下部電極110/絶縁層120/上部電極130という三層構造体が形成され、それ以外の部分には絶縁層120/上部電極130という二層構造体が形成されるようになる。

【0038】もっとも、原理的には、上部電極130の下方の全領域に絶縁層120を形成する必要はなく、少なくとも下部電極110との交差部分に絶縁層120を設け、三層構造体が形成されるようにすれば足りる。したがって、この交差部分以外の領域については、必ずしも絶縁層120を設ける必要はなく、ガラス基板100の上面に直接上部電極130が形成されるような構造にしてもかまわない。しかしながら、実用上は、図13に示すように、上部電極130の下方の全領域にわたって絶縁層120を形成するようにし、上部電極130の上面がガラス基板100にほぼ平行な平坦面をなすように構成するのが、断線などを避ける上で好ましい。

【0039】さて、図13に示すように、各交差部分に形成された三層構造体には、上部電極130の上面から、少なくとも下部電極110に至る深さをもった縦穴が複数形成され、この各縦穴の壁面部には、通電により電子放出を行う機能をもった電子放出膜140が形成されている。図13に示す斜視図では、この縦穴の構造が十分に表現されていないが、各交差部分には、図8(b)に示すような構造の縦穴C1が掘られており、その壁面部には、電子放出膜140と同じ構造の電子放出膜140が形成されていることになる。したがって、図13に示す電子放出膜140は、平面上に形成された膜ではなく、いわゆる「すり鉢状」の縦穴の壁面に形成され

た膜であり、電子放出膜140自身も「すり鉢状」の形状をしている。このような構成によれば、各交差部分ごとに複数の電子放出素子200が形成できる。

【0040】さて、ここで重要な点は、下部電極110および上部電極130は、それぞれガラス基板100上で縦横に伸びた配線層としても機能しうる点である。前述したように、ディスプレイとして利用するためには、マトリックス状に配列された個々の電子放出素子に対して、それぞれ別個に電子放出を制御できるような配線が必要になる。従来の「横型構造」の電子放出素子の場合、このような配線のための層を別途用意する必要があるため、基板上の構造は非常に複雑になる。これに対して、本発明の「縦型構造」の電子放出素子の場合、下部電極110および上部電極130が配線の機能を果たすため、別途配線層を設ける必要はない。すなわち、本発明に係る電子放出素子によれば、駆動に必要な配線を単純化するという課題が達成できることになる。

【0041】図12は、本発明に係る電子放出素子の駆動原理を説明するための図である。なお、ハッチングは、図13の各構成要素との対応を示すためのものである。ここでは、5行5列、合計25個の電子放出素子200が形成された例が示されている。すなわち、列方向に伸びた下部電極110が行方向に5本配置されており、また、行方向に伸びた上部電極130が列方向に5本配置されており、25か所に交差部分が形成されている。そして、各交差部分には、それぞれ別個独立した電子放出素子200が形成されており、各電子放出素子200からの電子放出は、それぞれ独立して制御することができる。

【0042】このような制御を行うために、セレクト150およびドライバ160が設けられている。セレクト150は、5本の上部電極130のうちのいずれか1本を選択して接地する機能を果たす。一方、ドライバ160は、5本の下部電極110のそれぞれに、所定の電圧信号を与える機能を有する。セレクト150が、5本の上部電極130を順番に選択する動作を行えば、5本の行を時分割して順次アクセスすることが可能になる。そして、ドライバ160から供給する信号により、現在アクセス中の行に所属する電子放出素子200からの電子放出が制御される。たとえば、図示のように、セレクト150が第1行目を選択して接地した状態において、ドライバ160から、第1列目の下部電極110に対して負の電圧供給を行えば、第1行第1列目の電子放出素子については、図10に示す配線がなされたことになり、対向基板20への電子放出が起こることになる。このような駆動方法は、いわゆる、「単純マトリックス駆動」と呼ばれている方法である。

【0043】このように、本発明によれば、下部電極110および上部電極130をそのまま配線層として利用することができるため、ディスプレイに応用する場合に

も構造は非常に単純になり、製造プロセスも単純化され、製造コストの低減を図ることができるようになる。

#### 【0044】§4. ディスプレイへ応用する場合の製造工程

最後に、図13に示す構造を得るための製造工程の一例を、図14～図20に示す斜視図を参照しながら説明する。なお、これらの斜視図においても、図13に示す各構成要素との対応関係を明らかにするためのハッチングを施すことにする。

【0045】まず、図14に示すように、ガラス基板100（絶縁性の基板であれば何でもよい）上の全面に導電性をもった第1の準備層115を、真空蒸着法やスパッタ法など一般的な成膜方法を用いて形成する。続いて、この第1の準備層115をパターニングして、図15に示すように、下部電極110を形成する。この第1の準備層115のパターニングには、一般的なフォトリソグラフィおよびエッチングの手法を用いればよい。もっとも、第1の準備層115としては、必ずしもその時点で導電性をもった層を用いる必要はない。たとえば、感光性をもった樹脂中に金属微粒子を分散させてなる金属粒子分散型レジスト（いわゆる金属ペースト）をガラス基板100上に塗布して感光性のペースト層を形成し、このペースト層を第1の準備層115とし、フォトリソグラフィの手法により、このペースト層を露光後に現像してパターニングを行い、最後に焼成工程を行って、ペースト層内の樹脂成分を除去すれば、導電性をもった下部電極110を得ることができる。なお、感光性のペースト層は、感光性をもった樹脂と有機導電性樹脂との混合からなる感光性レジストにより形成してもよい。

【0046】続いて、ガラス基板100および下部電極110上の全面に、図16に示すように、絶縁性の中間層125を形成する。更に、図17に示すように、この中間層125上に、第2の準備層135を形成する。この第2の準備層135としては、第1の準備層115と同様に、導電性の層を用いてもよいし、上述した感光性のペースト層を用いてもよい。そして、第2の準備層135に感光性レジスト材料145を塗布してからレジストのパターニングを行い、上部電極を形成してから、中間層125に対するパターニングを上部電極130をマスクとして行い、図18に示すように、絶縁層120および導電性をもった上部電極130を形成する。この絶縁層120および上部電極130を形成するためのパターニングも、一般的なフォトリソグラフィおよびエッチングの手法を用いればよい。あるいは、エッチングの代わりにサンドブラスト法を用いてもよい。また、上述したように、ペースト層を用いることもでき、この場合には更に焼成を行う。

【0047】もちろん、絶縁層120を形成するパターニング工程と、上部電極130を形成するパターニング

工程を別々に行ってもよい。たとえば、図16に示すように、中間層125を形成した後、この中間層125に対するパターニングを行って絶縁層120を形成した後、基板全面に第2の準備層135を形成し、この第2の準備層135に対するパターニングを行って上部電極130を形成し、図18に示す構造を得ることも可能である。上部電極と絶縁層を異なるパターンに形成する場合はこの方法をとることが必要である。

【0048】こうして、下部電極110と上部電極130との交差部分において、下部電極110、絶縁層120、上部電極130からなる三層構造体が形成できる。続いて、図19に示すように、この三層構造体の上面、すなわち、上部電極130の上面から、少なくとも下部電極110に至る深さをもった複数の微小縦穴Cを掘る。この微小縦穴Cを掘る工程としては、どのような加工工程を行ってもかまわない。たとえば、フォトリソグラフィおよび等方性エッチングを行うか、あるいは、フォトリソグラフィおよびサンドブラスト法による切削工程を行えば、「すり鉢状」の縦穴Cを形成することが可能である。すなわち、ガラス基板100上に図18に示す構造体を得られたら、基板全面にレジスト層を形成する。そして、各交差部分に対応する位置に複数の微小円形パターンが配置されたフォトマスクを用意し、このフォトマスクを用いた露光を行う。レジスト層を現像すれば、各交差部分に複数の微小円形の開口部が形成され、全面がレジスト層に覆われた状態の中で、この微小円形の開口部から上部電極130の上面が露出することになる。そこで、この露出部分から所定のエッチング液を作用させて等方性エッチングを行うか、あるいは、この露出部分に微粒子を吹き付けてサンドブラスト法による切削工程を行えば、レジスト層が研削剤に対するマスクとなって「すり鉢状」の微小縦穴Cが形成されることになる。この後、表面のレジスト層を除去すれば、図19に示す構造体を得られる。

【0049】電極交差部に微小縦穴を複数形成する場合には、微小円形の開口に対して、縦穴の深さが深くなる。例えば、直径10 $\mu$ mの開口に対して、上部電極の厚みを3 $\mu$ m、絶縁層を22 $\mu$ mとすれば、開口直径の2.5倍の深さの縦穴を形成することが必要となる。このような、深い縦穴の形成には、等方性エッチングよりも微粒子を吹き付けてサンドブラスト法が有利と考えられる。サンドブラストの場合は、研削剤の噴射される方向に切削が行われるため、噴射方向への直線的な切削が可能であり、本発明者の実験によれば、微小穴径の20～30倍の深度までの切削が可能である。

【0050】サンドブラスト法を用いる場合には、上部電極130、絶縁層120、微小縦穴Cの形成を同時に行うことも可能である。この場合には、中間層となる第1の準備層125の上に第2の準備層135を形成し、この上にサンドブラスト用のレジスト層を更に形成し、

上部電極パターンおよび微小穴パターンを有するフォトマスクを用いて必要なサンドエッチング用レジストマスクを形成すればよい。また、第1の準備層、第2の準備層は下部電極110に比べて、サンドブラスト可能な程度に柔らかいことが必要である。この状態で、サンドブラストを施すことにより、各準備層は所定の形状に加工され、その後レジスト層の除去と焼成を行うことにより、図19に示す構造体が得られる。

【0051】最後に、この微小縦穴Cの壁面部に、通電により電子放出を行う機能をもった電子放出膜140を形成すれば、図20に示すような電子放出素子を得ることができる(図20の斜視図では、電子放出膜140が平面的に見えるが、実際には、平面的ではなく「すり鉢状」をしていることになる)。なお、電子放出膜140を形成する工程としては、たとえば、表面伝導型の電子放出現象が起こる材料を有機溶媒に溶かした溶剤を用意し、この溶剤を縦穴Cの壁面部に塗布乾燥させるような方法を採用することができる。また、一個一個の微小縦穴に電子放出膜を形成することが困難な場合は、微小縦穴形成部表面の全面に電子放出材料を塗布し、これを放置するか熱処理すれば、電子放出材料は縦穴の中に進入し、縦穴の側壁に膜面を形成することができる。

#### 【0052】§5. その他の変形例

以上、本発明をいくつかの実施形態に基づいて説明したが、本発明はこれらの実施形態に限定されるものではなく、この他にも種々の形態で実施可能である。以下にいくつかの変形例を述べておく。

【0053】上述の実施形態では、三層構造体に「すり鉢状」の縦穴を形成していたが、形成する縦穴は必ずしも「すり鉢状」にする必要はなく、浅い部分も深い部分も開口面積が等しい形状(たとえば円柱状)にしてもかまわないし、角錐状その他どのような形状にしてもかまわない。また、この縦穴形成のためのエッチングは、上述の実施形態で述べた、サンドブラストによる一方向性研削やエッチング液による等方性エッチングに限定されるものではなく、「反応性エッチング」等、種々の方法を採用することができる。

【0054】図13に示す構造によれば、絶縁層120が上部電極130に沿って形成されており、いわば橋げたとしての役割を果たしているが、逆に、絶縁層120を下部電極110に沿って形成し、いわゆる「カマボコ型」の絶縁層120によって下部電極110全体を覆う構造にしてもよい。別言すれば、下部電極110の上面および側面を覆うようにして列方向に伸びるチューブ状の絶縁層120を形成し、このチューブ状の絶縁層120が上部電極130をトンネルのように貫通する構造が得られることになる。要するに本発明では、下部電極/絶縁層/上部電極という三層構造体を形成し、これに微小縦穴を形成した構造が実現できれば、具体的にはどのような構造を採用してもかまわない。

【0055】

#### 【実施例】

<材質に関する実施例>図8(b)に示す構造体の各部の材質としては、次のような材料を用いるのがよい。

【0056】下部電極52および上部電極54:電極として機能する導電性材料であれば、どのようなものでもよいが、耐電圧性、耐熱性、加工性、耐腐食性、比抵抗性を考慮して適当な材料を選ぶのが好ましい。具体的には、Al, Ni, Pd, Pb, Pt, W, Mo, Cr, Ti, Cu, Au, Agなどの金属材料を用いるのが好ましい。

【0057】絶縁層53:特に、表面導電性の低い材料を用いるのが好ましく、具体的には、石英ガラス、 $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ , などを採用するのが好ましい。

【0058】電子放出膜55:表面伝導型の電子放出現象が知られている材料であればどのような材料で構成してもかまわない。 $\text{SnO}_2$ ,  $1\text{n}_2\text{O}_3$ ,  $\text{PbO}$ などの金属酸化物、Au, Agなどの金属、カーボンその他各種半導体などが一般的に知られている材料である。その他、たとえば、特公平6-87392号公報に開示されているように、微粒子を含む薄膜導電体膜に通電加熱を行い、ジュール熱によりこの薄膜導電体膜を局所的に破壊、変形もしくは変質させて、電気的に高抵抗な状態にすることにより、電子放出膜を形成することもできる。あるいは同公報に開示されているようなガスデポジション法により電子放出膜を形成してもよい。

【0059】<電子放出素子の製造方法に関する実施例1>厚み3mmの清浄な石英ガラス基板上に、スパッタ法により厚み3 $\mu\text{m}$ のCr層を堆積する(図14)。その上に、ポジ型レジスト剤(東京応化工業株式会社製「OFPR800」)をスピナにより回転塗布し、オープンにて80°Cで30分間放置し乾燥させる。空冷後、線幅200 $\mu\text{m}$ の下部電極パターンを露光し、レジストの現像、水洗を行い、オープンにて135°Cで30分間放置する。空冷後、Crエッチング液(ザ・インクテック株式会社製「MR-ES」)を用いてCrをエッチングし、水洗する。

【0060】次に、120°Cに保持したレジスト剥離液(東京応化工業株式会社製「クリーンストリップ」)中に、基板を5分間放置し、室温のストリップリンス液に1分間、室温のイソプロピルアルコールに1分間、それぞれ浸すことにより、レジストの剥離を行う。この基板を水洗し、後に乾燥させる。以上の工程で、Crからなる線幅200 $\mu\text{m}$ の下部電極110が得られた(図15)。

【0061】続いて、この基板上にスパッタ法により、膜厚10 $\mu\text{m}$ の $\text{SiO}_2$ 層125を堆積し(図16)、その上に、スパッタ法により、膜厚3 $\mu\text{m}$ のCr層135を堆積する。その上に、ポジ型レジスト剤「OFPR800」145をスピナにより回転塗布し、オープン

にて80°Cで30分間放置し乾燥させる(図17)。空冷後、線幅200μmの上部電極パターンを露光し、レジストの現像、水洗を行い、オープンにて135°Cで30分間放置する。空冷後、Crエッチング液「MR-ES」を用いて露出しているCr部分をエッチング、水洗する。こうして、中間層125上にCrからなる線幅200μmの上部電極130が得られる。

【0062】次に、120°Cに保持したレジスト剥離液「クリーンストリップ」中に、基板を5分間放置し、室温のストリップリンス液に1分間、室温のイソプロピルアルコールに1分間、それぞれ浸すことにより、レジストの剥離を行う。この基板を水洗し、後に乾燥させる。更に、 $\text{CHF}_3 + \text{O}_2$  をエッチャントとして用いたリアクティブ・イオン・エッチングを行い、Crからなる上部電極130をマスクとして、中間層125の露出部分をエッチングして除去する。以上の工程で、 $\text{SiO}_2$  からなる絶縁層120が得られる(図18)。

【0063】こうして交差部分に三層構造体が形成されたら、基板全面にレジストフィルム(日本合成化学工業株式会社製「NCP225」)を融着し、交差部分に多数の開口を形成するための所望のパターン(線幅がそれぞれ200μmの上下電極の交差部に直径16μmの微小円形開口が、ピッチ20μmで、縦10行、横10行に並列させて形成されたパターン)を露光し、露光後、レジストフィルムを炭酸ナトリウム1wt%水溶液により現像し、水洗を行い、これにより三層構造体の上面に、直径16μmの微小円形開口部が並列してなるサンドブラスト用のレジストを形成した。次に、パターンニングされた基板をサンドブラスト法で、開口部にアルミナからなる微粒子を吹き付けて切削した結果、電極の交差部分に、直径16μm、深さ15μmの「すり鉢状の穴」Cが、縦10行、横10行に並列して形成された。その後、基板全体をNaOH溶液に3分間浸漬し、残留レジストを剥離除去し、純水で洗浄、乾燥した(図19が参照されるが、便宜上9個の穴が図示されている。図20についても同じ。)

【0064】更に、有機パラジウム化合物を含む有機溶媒(奥野製薬工業株式会社製「キャタベーストCCP」)からなるインキを、スクリーン印刷法で電極交差部の上縁部全面に印刷する。そのまま、15分間放置すると、微小縦穴Cの上縁部に印刷したインキが縦穴Cの底部に向かって流動し、縦穴Cの壁面部に「すり鉢状」のインキ膜が形成される。その後、約200°Cで20分間焼成し、Pdからなる微粒子を含む「すり鉢状」の形状の壁面に塗膜形成された電子放出膜140を得た(図20)。

【0065】<電子放出素子の製造方法に関する実施例2>厚み3mmの清浄な石英ガラス基板上に、金微粒子を分散させた感光性レジスト(デュボン社製「フォードルAu5956」)をスピナにより回転塗布し、オー

ブンにて80°Cで30分間放置し乾燥させることで、厚み7μmの金微粒子分散有機薄膜を得る(図14)。空冷後、線幅200μmの下部電極パターンを露光し、トリクロロエチレンにて現像する。この基板を400°Cに保持した焼成炉にて2時間焼成し、有機成分を分解除去すれば、厚み3μmのAu層を得る。以上の工程で、Auからなる線幅200μmの下部電極110が得られる(図15)。

【0066】続いて、この基板上に、粒径が20Å~1μmのガラス微粒子を分散させた感光性レジストをスクリーン印刷法によりパターン印刷する。オープンにて80°Cで30分間放置し乾燥させることで、膜厚45μmの絶縁層を得る。この基板を500°Cに保持した焼成炉にて3時間焼成し、有機成分を分解除去すれば、厚み22μmの絶縁層を得る(図16が参照されるが、図16の場合は全面に印刷されている)。

【0067】更に、この基板上に、金微粒子を分散させた感光性レジスト(デュボン社製「フォードルAu5956」)をスクリーン印刷法によりパターン印刷する(図17が参照されるが、図17の場合は全面に印刷されている)。オープンにて80°Cで30分間放置し乾燥させることで、厚み7μmの有機金微粒子分散薄膜を得る。空冷後、線幅200μmのパターンを露光し、トリクロロエチレンにて現像する。この基板を400°Cに保持した焼成炉にて2時間焼成し、有機成分を分解除去すれば、厚み3μmのAu層を得る。このAu層が、線幅200μmの上部電極130になる(図18)。

【0068】こうして交差部分に三層構造体が形成されたら、基板全面にレジストフィルム(日本合成化学工業株式会社製「NCP225」)を融着し、交差部分に多数の開口を形成するための所望のパターン(線幅がそれぞれ200μmの上下電極の交差部に直径16μmの微小円形開口を、ピッチ20μmで、縦10行、横10行に並列させて形成させるためのパターン)を露光し、露光後、レジストフィルムを炭酸ナトリウム1wt%水溶液により現像し、水洗を行い、これにより三層構造体の上面に、直径16μmの微小円形開口部が並列してなるサンドブラスト用のレジストを形成した。次に、パターンニングされた基板をサンドブラスト法で、開口部にアルミナからなる微粒子を吹き付けて切削した結果、電極の交差部分に、直径16μm、深さ26μmの「すり鉢状の穴」Cが、縦10行、横10行に並列して形成された。その後、基板全体をNaOH溶液に3分間浸漬し、残留レジストを剥離除去し、純水で洗浄、乾燥した(図19が参照されるが、便宜上9個の穴が図示されている。図20についても同じ。)

【0069】更に、有機パラジウム化合物を含む有機溶媒(奥野製薬工業株式会社製「キャタベーストCCP」)からなるインキを、スクリーン印刷法で電極交差部の上縁部全面に印刷する。そのまま、15分間放置す



ると、微小縦穴Cの上縁部に印刷したインキが縦穴Cの底部に向かって流動し、縦穴Cの壁面部に「すり鉢状」のインキ膜が形成される。その後、約200°Cで20分間焼成し、Pdからなる微粒子を含む「すり鉢状」の形状の壁面に塗膜形成された電子放出膜140を得た(図20)。

【0070】<対向基板の製造方法に関する実施例>厚み3mmの清浄な石英ガラス基板上に、スパック法により膜厚14nmのITO層を堆積する。その上に、EB蒸着法により膜厚20μmのZnO:Znからなる蛍光体層を蒸着形成し、対向基板20を作製した。

【0071】<電子放出動作に関する実施例>10<sup>-10</sup>Paに保った真空チャンバ中に、上述の各実施例で作製した電子放出素子と対向基板とを、3mmの間隔で平行に保持し、対向基板と電子放出素子との間のカソード/アノード電圧として5kVを印加した。また、電子放出素子の動作電圧として、上部電極を接地電位に保ち、下部電極に-20Vを印加したところ、対向基板に向かって電子放出が得られ、良好な発光特性が得られた。また、行列状に配した多数の電子放出素子を、単純マトリックス駆動し、所定の画像情報に対応した信号を与えたところ、対向基板上に画像形成がみられた。

【0072】なお、上記の実施例においては電極の交差部の面積に開口できる数の穴パターンを有するフォトマスクを使用した。実際の技術においては、交差部の面積より広い面積に相当する数の穴パターンを有するフォトマスクを使用し、例えば、図21のようにして露光することができる。これにより、アライメントの精度を格別に考慮せずに開口を形成することができる。その場合、電極の交差部以外の周辺にも「すり鉢状」の微小縦穴が形成されることになるが、その部分は電子放出素子としての機能を果たすわけではなく、また、パネル基板に良くない影響を与えることもないので、実用上は非常に有用な手段となる。

【0073】

【発明の効果】以上のとおり、本発明によれば縦型「すり鉢状」構造により電極の交差部に複数の微小電子放出素子を構成したため、電極交差部に対する電子放出素子の縦穴の位置アライメントを容易に行うことができる。また、電子放出素子が上部電極と下部電極からなる縦型構造であるため、素子電極をマトリックス駆動用配線としても利用することができるので、同一基板上に多数の電子放出素子を配列して用いるような場合にも、全体構造は単純化され、製造プロセスを簡単にすることができる。

【図面の簡単な説明】

【図1】従来の表面伝導型の電子放出素子10および対向基板20の構造を示す断面図である。

【図2】図1に示す電子放出素子10におけるガラス基板11上に形成された構成要素の上面図である。

【図3】図1に示す電子放出素子10から対向基板に向けて電子放出が行われている状態を示す断面図である。

【図4】図1に示す電子放出素子10の主要部分の寸法を示した図である。

【図5】「すり鉢状」の電子放出素子50および対向基板20の構造を示す断面図である。

【図6】図5に示す電子放出素子20から対向基板20に向けて電子放出が行われている状態を示す断面図である。

【図7】本発明の一実施形態に係る電子放出素子50の構造を示す斜視図である。

【図8】本発明の一実施形態に係る電子放出素子50の構造を示す断面図である。

【図9】本発明の一実施形態に係る電子放出素子50および対向基板20の構造を示す断面図である。

【図10】本発明の一実施形態に係る電子放出素子50から対向基板20に向けて電子放出が行われている状態を示す断面図である。

【図11】本発明の一実施形態に係る電子放出素子50の主要部分の寸法を示した図である。

【図12】本発明に係る電子放出素子の駆動原理を説明するための平面図である。

【図13】本発明の一実施形態に係る電子放出素子20をマトリックス基板上に構成した実施例を示す斜視図である。

【図14】図13に示す構造を得るための製造工程の下部電極の準備段階を示す斜視図である。

【図15】図13に示す構造を得るための製造工程の下部電極の形成段階を示す斜視図である。

【図16】図13に示す構造を得るための製造工程の絶縁層の準備段階を示す斜視図である。

【図17】図13に示す構造を得るための製造工程の上部電極の準備段階を示す斜視図である。

【図18】図13に示す構造を得るための製造工程の上部電極の形成段階を示す斜視図である。

【図19】図13に示す構造を得るための製造工程の微小縦穴の形成段階を示す斜視図である。

【図20】図13に示す構造を得るための製造工程の電子放出膜の形成段階を示す斜視図である。

【図21】電極交差部に微小縦穴を形成する場合のフォトマスクPM1と基板に形成される微小縦穴の関係を示す図である。

【符号の説明】

10 電子放出素子

11, 21 ガラス基板

12, 13 電極

14 電子放出膜

20 対向基板

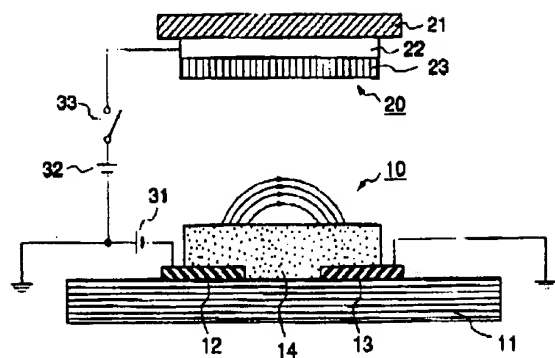
22 透明電極

23 蛍光体層

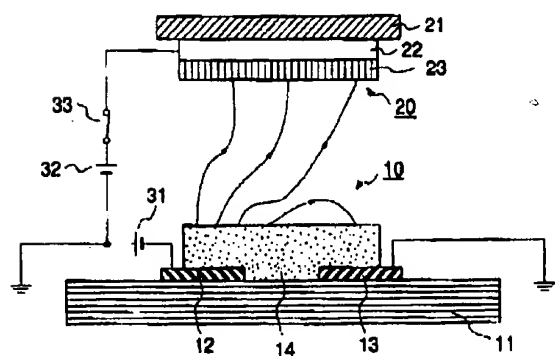
21

- 31, 32 電源  
33 スイッチ  
50 電子放出素子  
51 ガラス基板  
52 下部電極層  
53 絶縁層  
54 上部電極層  
55 電子放出膜  
100 ガラス基板  
110 下部電極層  
115 第1の準備層

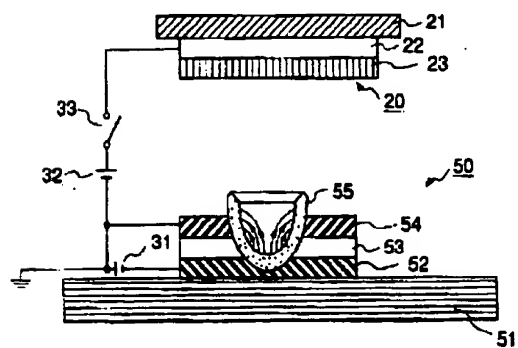
【図1】



【図3】



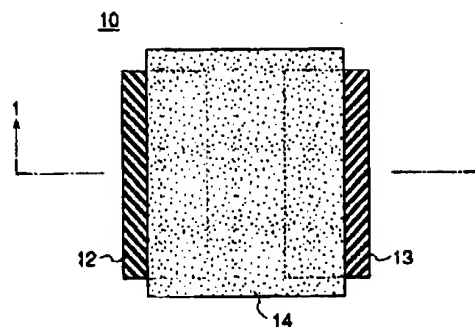
【図5】



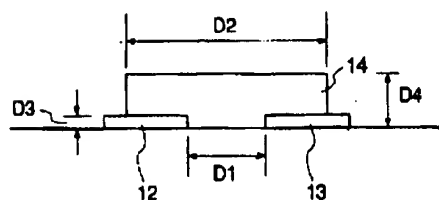
22

- 120 絶縁層  
125 中間層  
130 上部電極層  
135 第2の準備層  
140 電子放出膜  
150 セレクタ  
160 ドライバ  
200 電子放出素子  
M, M1 微小電子放出素子  
10 C, C1 微小縦穴  
D1~D7 各部の寸法

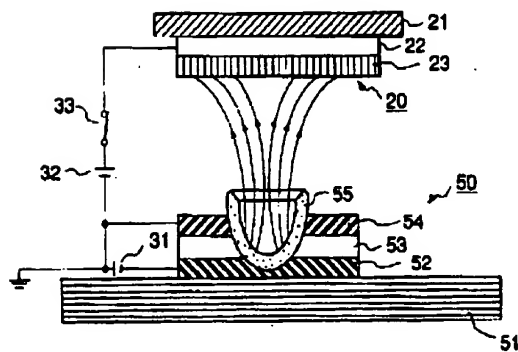
【図2】



【図4】

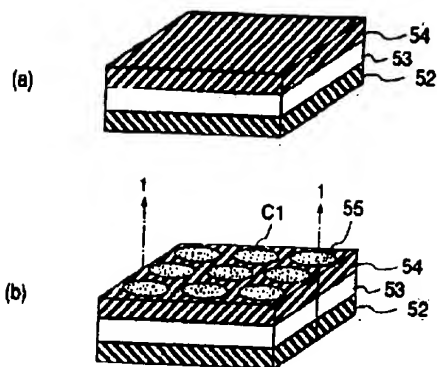


【図6】

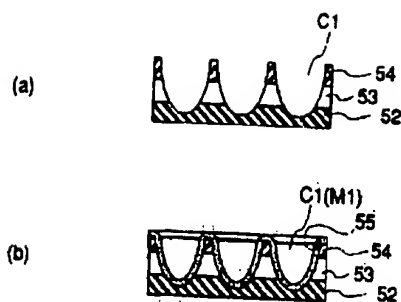




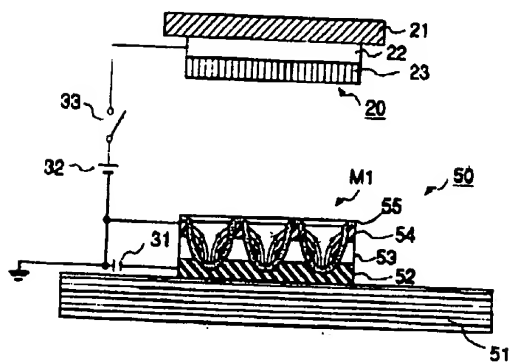
【図7】



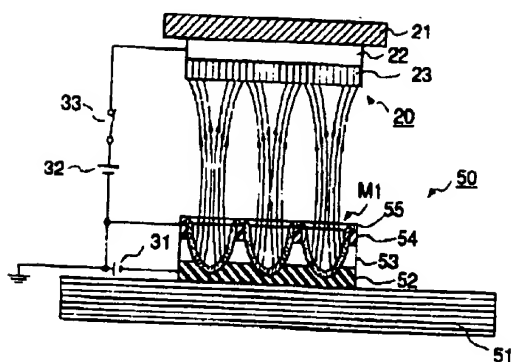
【図8】



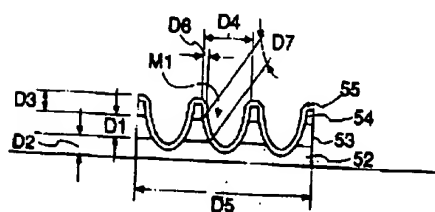
【図9】



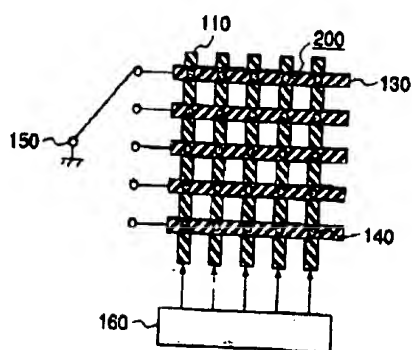
【図10】



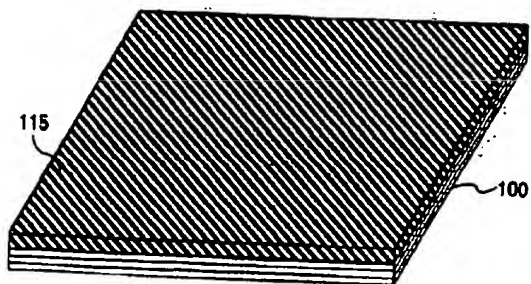
【図11】



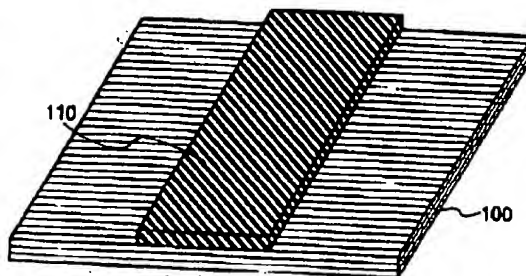
【図12】



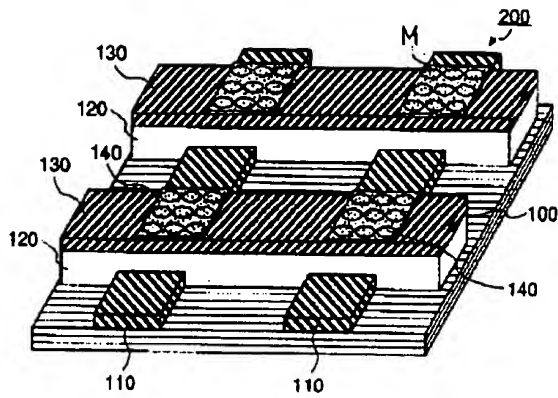
【図14】



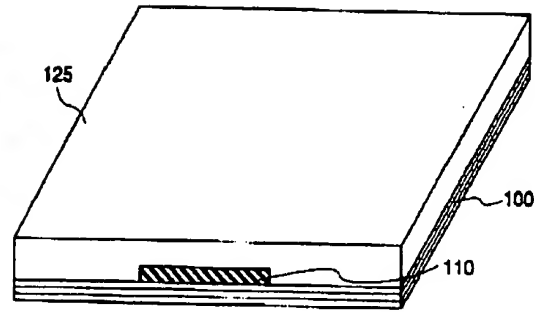
【図15】



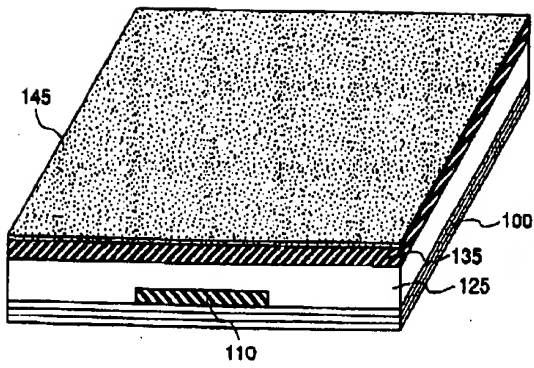
【図13】



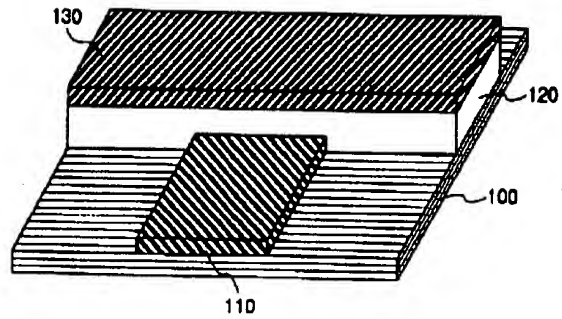
【図16】



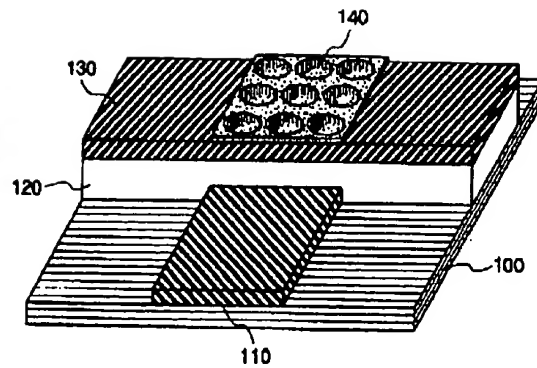
【図17】



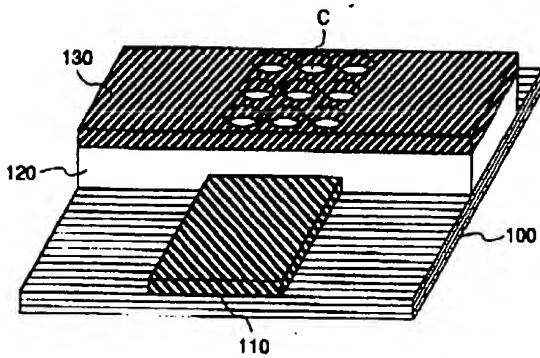
【図18】



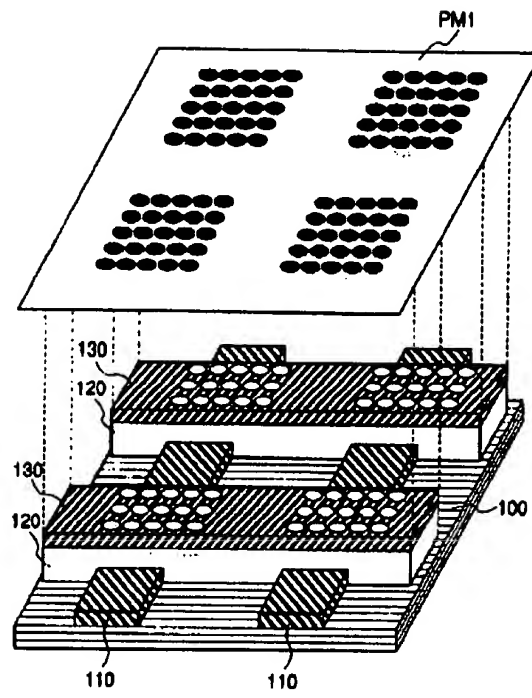
【図20】



【図19】



【図21】



**THIS PAGE BLANK (USPTO)**